

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-285645

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H04N 1/41
H04N 1/00
H04N 1/387
H04N 7/30

(21)Application number : 2000-361207

(71)Applicant : CANON INC

(22)Date of filing : 28.11.2000

(72)Inventor : FUJIWARA HIDEYUKI
NAGASAWA KENICHI
SATO YUICHI

(30)Priority

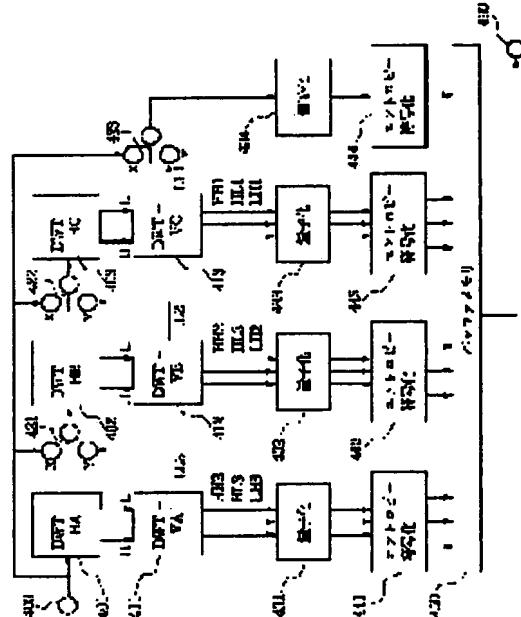
Priority number : 2000015714 Priority date : 25.01.2000 Priority country : JP

(54) IMAGE INPUT DEVICE, IMAGE PROCESSING APPARATUS, IMAGE INPUT METHOD, IMAGE PROCESSING METHOD, AND IMAGE INPUT SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To easily decode an image whose resolution and size are not much different from those of an image from the image that is sub-band coded even when the image with any resolution and any size is received and to attain coding with a high efficiency.

SOLUTION: The resolution and the size of a received digital image are designated and by deciding a level number of the sub band coding depending on the designated resolution and size, an image whose resolution and size are not much different can be easily decoded, and the processing of the image signal after the coding is facilitated. Furthermore, since the size and the resolution of the sub band image finally obtained have a conversion coefficient of a prescribed value or over, the coding efficiency can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-285645

(P2001-285645A)

(43)公開日 平成13年10月12日 (2001.10.12)

(51)Int.Cl.⁷

識別記号

F I

テ-73-ト⁷ (参考)

H 0 4 N 1/41

H 0 4 N 1/41

B 5 C 0 5 9

1/00 1 0 7

1/00

1 0 7 A 5 C 0 6 2

1/387 1 0 1

1/387

1 0 1 5 C 0 7 6

7/30

7/133

Z 5 C 0 7 8

審査請求 未請求 請求項の数49 OL (全 21 頁)

(21)出願番号

特願2000-361207(P2000-361207)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成12年11月28日 (2000.11.28)

(72)発明者 藤原 英之

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(31)優先権主張番号 特願2000-15714(P2000-15714)

(72)発明者 長沢 健一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(32)優先日 平成12年1月25日 (2000.1.25)

(74)代理人 100090538

弁理士 西山 恵三 (外1名)

(33)優先権主張国 日本 (JP)

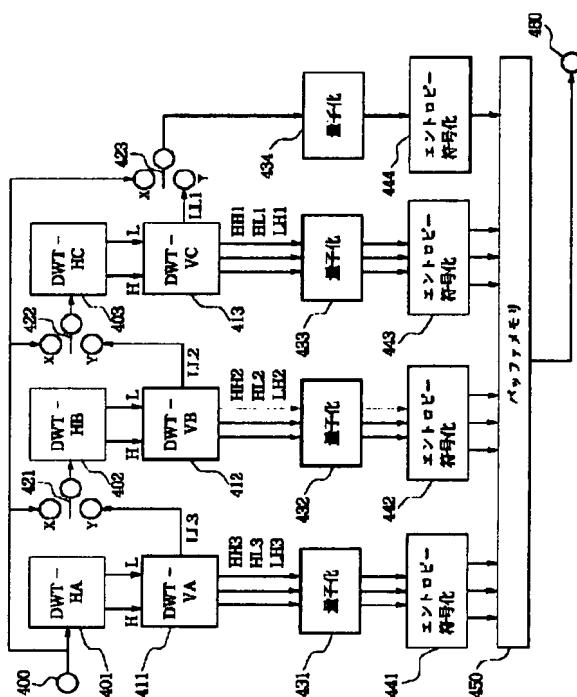
最終頁に続く

(54)【発明の名称】 画像入力装置、画像処理装置、画像入力方法、画像処理方法、及び画像入力システム

(57)【要約】

【課題】 いかなる解像度やサイズの画像を入力するに際してもサブバンド符号化された画像から、解像度やサイズが大きく異なる画像を容易に復号できるようにすると共に符号化そのものの効率も高くすること。

【解決手段】 入力されたデジタル画像の解像度やサイズを指定し、その指定された解像度やサイズに応じてサブバンド符号化のレベル数を決定することにより、解像度やサイズが大きく異なる画像を容易に復号することが可能となり、符号化後の画像信号の取り扱いが容易になった。また、最終的に得られるサブバンドの画像のサイズや解像度が所定以上の変換係数を有するようにしたので、符号化そのものの効率も良好にすることができる。



【特許請求の範囲】

【請求項1】 光学像をデジタル画像に変換する光電変換手段と、

当該デジタル画像をサブバンド符号化する符号化手段と、

前記デジタル画像の解像度を指定する指定手段と、
指定された解像度に応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像入力装置。

【請求項2】 前記符号化手段は前記デジタル画像を離散ウェーブレット変換と共に変換されたデータをエントロピー符号化し、前記制御手段は前記離散ウェーブレット変換の変換レベル数を制御することを特徴とする請求項1に記載の画像入力装置。

【請求項3】 前記光電変換手段は光学像をライン単位で読取るべく構成されており、前記符号化手段は前記デジタル画像をライン単位で離散ウェーブレット変換することを特徴とする請求項2記載の画像入力装置。

【請求項4】 前記制御手段は解像度が高い画像について、解像度が低い画像に比しサブバンド符号化のレベル数が大きくなるように制御することを特徴とする請求項1記載の画像入力装置。

【請求項5】 第1の解像度を有するデジタル画像を入力する第1のモードと、当該第1の解像度の1/2の解像度を有する第2のモードとを有し、前記制御手段は第1のモードにおけるサブバンド符号化のレベル数を第2のモードにおけるサブバンド符号化のレベル数より1大ならしめることにより、最も低周波バンドの解像度を一致させることを特徴とする請求項4記載の画像入力装置。

【請求項6】 光学像をデジタル画像に変換する光電変換手段と、

当該デジタル画像をサブバンド符号化する符号化手段と、

前記入力する光学像のサイズを指定する指定手段と、
指定されたサイズに応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像入力装置。

【請求項7】 前記符号化手段は前記デジタル画像を離散ウェーブレット変換と共に変換されたデータをエントロピー符号化し、前記制御手段は前記離散ウェーブレット変換の変換レベル数を制御することを特徴とする請求項6に記載の画像入力装置。

【請求項8】 前記光電変換手段は光学像をライン単位で読取るべく構成されており、前記符号化手段は前記デジタル画像をライン単位で離散ウェーブレット変換することを特徴とする請求項7記載の画像入力装置。

【請求項9】 前記制御手段はサイズが大きい画像について、サイズが小さい画像に比しサブバンド符号化のレベル数が大きくなるように制御することを特徴とする請求項6記載の画像入力装置。

【請求項10】 第1のサイズを有する原稿を読み取る

ことによってデジタル画像を入力する第1のモードと、当該第1のサイズの1/4のサイズの原稿を読み取ることによってデジタル画像を入力する第2のモードとを有し、前記制御手段は第1のモードにおけるサブバンド符号化のレベル数を第2のモードにおけるサブバンド符号化のレベル数より1大ならしめることにより、最も低周波バンドの画像のサイズを一致させることを特徴とする請求項9記載の画像入力装置。

【請求項11】 前記指定手段は更に前記デジタル画像の解像度を指定し、前記制御手段は指定されたサイズ及び指定された解像度の双方に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項6記載の画像入力装置。

【請求項12】 光学像をデジタル画像に変換する光電変換手段と、

当該デジタル画像をサブバンド符号化する符号化手段と、

前記光電変換手段から符号化手段に入力される画像の画素数に従い前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像入力装置。

【請求項13】 前記光電変換手段は光学像をライン単位で読取るべく構成されており、前記符号化手段は前記デジタル画像をライン単位で離散ウェーブレット変換することを特徴とする請求項12記載の画像入力装置。

【請求項14】 前記制御手段は前記画像の垂直方向の画素数と水平方向の画素数との少ない方の画素数に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項12記載の画像入力装置。

【請求項15】 前記サブバンド符号化は2次元の離散ウェーブレット変換であり、前記制御手段は最終的に得られるウェーブレット変換係数が各成分毎に垂直方向および水平方向に所定数以上存在するようサブバンド符号化のレベル数を制限することを特徴とする請求項14記載の画像入力装置。

【請求項16】 さらに前記光電変換手段からの画像をクロップする手段を有し、当該クロップ手段でクロップされた画像を前記符号化手段でサブバンド符号化することを特徴とする請求項14記載の画像入力装置。

【請求項17】 光学像を光電変換することにより得たデジタル画像をサブバンド符号化するに際し、前記デジタル画像の指定解像度に応じて前記サブバンド符号化のレベル数を決定することを特徴とする画像入力方法。

【請求項18】 前記サブバンド符号化により、前記デジタル画像を離散ウェーブレット変換と共に変換されたデータをエントロピー符号化し、前記デジタル画像の指定解像度に応じて離散ウェーブレット変換の変換レベル数を決定することを特徴とする請求項17に記載の画像入力方法。

【請求項19】 解像度が高い画像について、解像度が低い画像に比しサブバンド符号化のレベル数が大きくな

ることを特徴とする請求項17記載の画像入力方法。

【請求項20】 光学像を光電変換することにより得たデジタル画像をサブバンド符号化するに際し、入力する光学像のサイズに応じて前記サブバンド符号化のレベル数を決定することを特徴とする画像入力方法。

【請求項21】 サイズが大きい画像について、サイズが小さい画像に比しサブバンド符号化のレベル数が大きくなるようにしたことを特徴とする画像入力方法。

【請求項22】 入力する光学像のサイズ及び指定された解像度の双方に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項20記載の画像入力方法。

【請求項23】 光学像を光電変換することにより得たデジタル画像をサブバンド符号化するに際し、符号化しようとする画像の画素数に従い前記サブバンド符号化のレベル数を決定することを特徴とする画像入力方法。

【請求項24】 前記レベル数は前記画像の垂直方向の画素数と水平方向の画素数との少ない方の画素数に応じて決定されることを特徴とする請求項23記載の画像入力方法。

【請求項25】 前記サブバンド符号化は2次元の離散ウェーブレット変換であり、最終的に得られるウェーブレット変換係数が各成分毎に垂直方向および水平方向に所定数以上存在するようにサブバンド符号化のレベル数が制限されることを特徴とする請求項24記載の画像入力方法。

【請求項26】 光電変換された画像をクロップ可能とし、当該クロップされた画像をサブバンド符号化することを特徴とする請求項24記載の画像入力方法。

【請求項27】 入力されたデジタル画像をサブバンド符号化する符号化手段と、前記デジタル画像の解像度に応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像処理装置。

【請求項28】 前記符号化手段は前記デジタル画像を離散ウェーブレット変換と共に変換されたデータをエントロピー符号化し、前記制御手段は前記離散ウェーブレット変換の変換レベル数を制御することを特徴とする請求項27に記載の画像処理装置。

【請求項29】 前記デジタル画像の解像度を外部装置から入力することを特徴とする請求項27記載の画像入力装置。

【請求項30】 前記制御手段は解像度が高い画像について、解像度が低い画像に比しサブバンド符号化のレベル数が大きくなるように制御することを特徴とする請求項27記載の画像処理装置。

【請求項31】 第1の解像度を有するデジタル画像を入力する第1のモードと、当該第1の解像度の1/2の解像度を有する第2のモードとを有し、前記制御手段は第1のモードにおけるサブバンド符号化のレベル数を第

2のモードにおけるサブバンド符号化のレベル数より1大ならしめることにより、最も低周波バンドの解像度を一致させることを特徴とする請求項30記載の画像処理装置。

【請求項32】 入力されたデジタル画像をサブバンド符号化する符号化手段と、前記入力するデジタル画像のサイズに応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像処理装置。

【請求項33】 前記制御手段はサイズが大きい画像について、サイズが小さい画像に比しサブバンド符号化のレベル数が大きくなるように制御することを特徴とする請求項32記載の画像処理装置。

【請求項34】 第1のサイズを有する画像入力する第1のモードと、当該第1のサイズの1/4のサイズの画像を入力する第2のモードとを有し、前記制御手段は第1のモードにおけるサブバンド符号化のレベル数を第2のモードにおけるサブバンド符号化のレベル数より1大ならしめることにより、最も低周波バンドの画像のサイズを一致させることを特徴とする請求項33記載の画像処理装置。

【請求項35】 前記制御手段は、前記入力画像のサイズ及び当該入力画像の解像度の双方に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項32記載の画像処理装置。

【請求項36】 入力されたデジタル画像をサブバンド符号化する符号化手段と、前記入力された画像の画素数に従い前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像処理装置。

【請求項37】 前記制御手段は前記画像の垂直方向の画素数と水平方向の画素数との少ない方の画素数に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項36記載の画像処理装置。

【請求項38】 前記サブバンド符号化は2次元の離散ウェーブレット変換であり、前記制御手段は最終的に得られるウェーブレット変換係数が各成分毎に垂直方向および水平方向に所定数以上存在するようにサブバンド符号化のレベル数を制限することを特徴とする請求項37記載の画像処理装置。

【請求項39】 さらに前記入力された画像をクロップする手段を有し、当該クロップ手段でクロップされた画像を前記符号化手段でサブバンド符号化することを特徴とする請求項37記載の画像処理装置。

【請求項40】 入力されたデジタル画像をサブバンド符号化するに際し、当該デジタル画像の解像度に応じて前記サブバンド符号化のレベル数を決定することを特徴とする画像処理方法。

【請求項41】 入力されたデジタル画像をサブバンド符号化するに際し、当該デジタル画像のサイズに応じて

前記サブバンド符号化のレベル数を決定することを特徴とする画像処理方法。

【請求項42】 入力されたデジタル画像のサイズ及び当該入力画像の解像度の双方に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項32記載の画像処理方法。

【請求項43】 入力されたデジタル画像をサブバンド符号化するに際し、符号化しようとする画像の画素数に従い前記サブバンド符号化のレベル数を決定することを特徴とする画像処理方法。

【請求項44】 前記レベル数は前記画像の垂直方向の画素数と水平方向の画素数との少ない方の画素数に応じて決定されることを特徴とする請求項43記載の画像処理方法。

【請求項45】 前記サブバンド符号化は2次元の離散ウェーブレット変換であり、最終的に得られるウェーブレット変換係数が各成分毎に垂直方向および水平方向に所定数以上存在するようにサブバンド符号化のレベル数が制限されることを特徴とする請求項44記載の画像処理方法。

【請求項46】 光電変換された画像をクロップ可能とし、当該クロップされた画像をサブバンド符号化することを特徴とする請求項44記載の画像処理方法。

【請求項47】 光学像をデジタル画像に変換するスキャナと、

当該スキャナを制御するホストコンピュータからなり、前記スキャナは前記デジタル画像をサブバンド符号化する符号化手段を具備し、前記ホストコンピュータにより指定された前記スキャナの読み取りの解像度に応じて、前記符号化手段による前記サブバンド符号化のレベル数を決定することを特徴とする画像入力システム。

【請求項48】 光学像をデジタル画像に変換するスキャナと、

当該スキャナを制御するホストコンピュータからなり、前記スキャナは前記デジタル画像をサブバンド符号化する符号化手段を具備し、前記ホストコンピュータにより指定された前記スキャナの原稿読み取りサイズに応じて、前記符号化手段による前記サブバンド符号化のレベル数を決定することを特徴とする画像入力システム。

【請求項49】 前記ホストコンピュータにより指定された前記スキャナの読み取り解像度及び前記原稿読み取りサイズの双方に応じて前記サブバンド符号化のレベル数を決定することを特徴とする請求項48記載の画像入力システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像入力装置、画像処理装置、画像入力方法、画像処理方法、及び画像入力システムに関し、特に画像圧縮機能を備えた画像入力装置、及びシステムに関する。

【0002】

【従来の技術】 図18は従来の画像読み取りシステムの概要を示す図である。11はホストコンピュータ（以下、ホスト）であり、画像読み取り装置であるイメージスキャナ（以下、スキャナ）を駆動するためのスキャナドライバや様々なアプリケーションソフトウェアがインストールされている。また、12はスキャナであり、ドライバの指示で、イメージセンサにより光学像を電気信号に変えて、不図示のA/D変換器によりデジタル化したのちに画像処理を施し、所定のインターフェース（例えば、SCSIやUSB等）を用いてホスト11へ転送する。

【0003】 一方、近年画像の高能率符号化技術の発展に伴い、ホストコンピュータやパーソナルコンピュータ（PC）により画像を蓄積する際に、画像情報を圧縮することが一般に行われるようになった。

【0004】

【発明が解決しようとする課題】 しかし、近年、スキャナは読み取り解像度1200dpi (dot per inch) 等の高解像度画像を読み取ることが可能なものが増え、ホストへ転送するための画像量が膨大となり、転送時間に時間が掛かるよになりユーザーにとっての利便性が悪くなるという問題点も顕在化してきている。

【0005】 そこで、スキャナ側で圧縮した画像をホストコンピュータに転送することも考えられるが、スキャナ側及びホストコンピュータ側双方での取り扱いの便宜を考慮する必要がある。特に、離散ウェーブレット変換などのサブバンド符号化を行う場合には、どのレベルまでサブバンド符号化するかによって、ホストコンピュータ側もしくはスキャナ側で所望のサイズ、所望の解像度の画像が必要になったときに、どのレベルまでの復号を行うかをその都度決定しなければならず、取り扱いが難しかった。

【0006】 また、特にサブバンド符号化を行うに際しては、画像の高能率符号化そのものの効率についても、一様に所定のレベルまでサブバンド符号化したのでは、サブバンドのレベルを増やしても圧縮率が稼げなくなったり、むしろ画像の劣化を引き起こすこともある。

【0007】 本発明は、上記課題を解決するために、サブバンド符号化後の画像データの取り扱いの便宜を図った画像入力装置及び画像処理装置などを提供することを目的としている。

【0008】 また、本発明の他の目的は、ホストコンピュータと画像入力装置とからなるシステムにおいて、最適な情報の授受を実現した画像入力システムを提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本件出願の1の発明によれば、光学像をデジタル画像に変換する光電変換手段と、当該デジタル画像をサブ

バンド符号化する符号化手段と、前記デジタル画像の解像度を指定する指定手段と、指定された解像度に応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像入力装置が提示される。

【0010】当該画像入力装置によれば、いかなる解像度の画像を入力するに際してもサブバンド符号化された画像から、解像度が大きく異なる画像を容易に復号することが可能となり、符号化後の画像信号の取り扱いが容易になった。

【0011】また、本件出願の他の発明によれば、入力されたデジタル画像をサブバンド符号化する符号化手段と、前記入力するデジタル画像のサイズに応じて前記サブバンド符号化のレベル数を決定する制御手段とを具備する画像処理装置が提示される。

【0012】当該画像処理装置によれば、いかなるサイズの画像を入力するに際してもサブバンド符号化された画像から、サイズが大きく異なる画像を容易に抽出することが可能となり、符号化後の画像信号の取り扱いが容易になった。また、最終的に得られるサブバンドの画像のサイズや解像度が極端な値にならないので、符号化の効率も悪くなることがない。

【0013】尚、他の各請求項に記載された各発明の内容及びその作用については各請求項の記載と実施例の説明から明らかになるものと考える。

【0014】

【発明の実施の形態】以下、本件発明の実施の態様について、特定の実施例を用いてのみ説明する。

【0015】図1は、本発明に関わる画像読み取りシステムに用いられる画像読み取り装置の一つの例を示すものであり、その画像読み取り装置の断面図である。

【0016】図1において、1はスキャナ本体、2は原稿押さえ、3は読み取り原稿である。スキャナ1は、不図示のインターフェースケーブルによりホストに接続されている。さらに、スキャナ1は移動光学ユニット4、原稿台ガラス5、電気基板6、パルスモータ7、無端ベルト8、ブリード9、10、ギア列11、ガイドレール12、白色基準板13を有している。光学ユニット4とパルスモータ7はそれぞれ不図示のケーブルにより電気基板6に対して電気的に接続されている。

【0017】また、光学ユニット4は、ガイドレール12に対して載置手段14により摺動可能に載置されている。また、載置手段14は無端ベルト8に固定されている。そして、移動光学ユニット4は、光源15、複数の反射ミラー16、17、18、結像レンズ19、撮像手段であるラインセンサ20から構成されている。

【0018】スキャナ1の原稿画像読み取り動作を簡単に説明する。スキャナ1における読み取り動作の開始は、ホストからの読み取り命令コマンドによる。スキャナ1は、光学ユニット4の光源15を点灯させ、その反射光を複数のミラー16、17、18により反射させ結像レンズ

19を介してセンサ20に結像することで主走査方向1ライン分の画像を読み取る。また、パルスモータ7の動力をギア列11によりブリード9を回転させることで、無端ベルト8を駆動する。

【0019】これにより、無端ベルト8に対して載置手段14により固定される光学ユニット4は矢印Xの副走査方向にガイドレール上を移動する。スキャナ1は、光学ユニット4を副走査方向に移動しつつ、前述の主走査方向のライン画像の読み取りを繰り返す。スキャナ1は、図1の光学ユニット4を点線で示す位置まで読み取り動作をしながら移動させることで、原稿台ガラス全面のスキャンが可能となる。但し、ホストからの読み取りコマンドの内容に応じて、原稿台ガラス上の原稿の部分画像を読み込むことも可能である。その場合には、ホストが指定する読み取り画像範囲に対して、主走査方向にはセンサ出力のうち採用する画素範囲を、また副走査方向には光学ユニットの移動範囲を電気基板6上の不図示の制御手段、即ちCPUなどで構成される語術のシステムコントローラで規定することにより実現する。

【0020】図2は、本発明の画像読み取りシステムの機能ブロック図である。同図において、図1と同一の構成要件には同じ番号を用いており、説明は省略する。本画像読み取りシステムはスキャナ1、ホスト21から構成される。スキャナ1とホスト21は、インターフェースケーブルにより、例えば一般的に広く普及しているSCSIバス22により、接続されている。また、ホスト21はモニタ23を備え、操作者はこのモニタ16の表示を見ながら画像読み取り作業を行い、画像読み取り結果を確認する。

【0021】以下に図2を参照して、それぞれの機能ブロックの実施形態を説明する。

【0022】先ず、光学ユニット4において、24は光源15を点灯するための光源点灯回路であり、光源5に冷陰極管を用いた場合には、いわゆるインバータ回路となる。電気基板6において、25はパルスモータ7用のモータ駆動回路であり、スキャナ1のシステム制御手段であるシステムコントローラ26からの信号によりパルスモータ7の励磁切替え信号を出力する。27R、27G、27Bはアナログゲイン調整器であり、ラインセンサ20から出力されたアナログ画像信号を可変増幅することが可能な構成である。28はA/D変換器であり、可変アナログゲイン調整器27から出力されたアナログ画像信号をデジタル画像信号に変換する。29は画像処理手段であり、デジタル信号化された画像信号に対してオフセット補正、シェーディング補正、デジタルゲイン調整、カラーバランス調整、マスキング、主・副走査方向の解像度変換を画像圧縮等の画像処理を行う。

【0023】30はラインバッファであり、画像データを一時的に記憶する部分であり、汎用のランダムアクセスメモリで実現している。31はインターフェイス部で

あり、ホスト15と通信するためのものである。ここではSCSIコントローラで実現しているが、セントロニクスやUSB等別のインターフェースも採用することも可能である。32は画像処理を行う際のワーキングエリアとして用いられるフセットRAMである。このオフセットRAM32は、ラインセンサ20がRGB用ラインセンサを各々所定のオフセットを持って平行に配置されているので、そのRGBライン間オフセットの補正用として用いられる。また、オフセットRAMは、シェーディング補正等の各種データの一時記憶も行う。ここでは汎用のランダムアクセスメモリで実現している。33はガンマカーブを記憶し、ガンマ補正を行うためのガンマRAMである。

【0024】26はCPUやスキャナ全体のシーケンスを記憶したROMを有するシステムコントローラであり、ホスト21からの命令に従って各種制御を行う。34はシステムコントローラ26と画像処理手段29とラインバッファ30とインターフェイス部31とオフセットRAM32とガンマRAM33をつなぐシステムバス(CPUバス)であり、アドレスバスとデータバスによって構成されている。

【0025】図3は、本発明の画像入力システムの基本的な動作を示すフローチャートである。図3の中で太い枠がスキャナ1の動作である。

【0026】まず、操作者はスキャナ1の原稿押え2を持ち上げ、原稿台ガラス5上に読取る原稿を読み取り面を下に向けて載置する。この状態において、操作者はホスト21においてアプリケーションの一つとしてスキャナドライバを起動する(S31)。これは、スキャナドライバを直接起動しても良いし、フォトレタッチ等のアプリケーションソフトウェア等からTWIN経由でスキャナドライバを起動することでも構わない。

【0027】そして、操作者はスキャナドライバの提供する入力画面において希望の読み取り条件、例えば読み取りモード(例えばカラー、グレースケール、2値等)、解像度(例えば600dpi、300dpi等)、倍率(例えば200%、100%、50%等)を入力する(S32)。これらの読み取り条件データはホスト21内の不図示のメモリ内に一時記憶されている。

【0028】次に、操作者はプレビュー指示若しくは、本スキャンの指示を行う。そして、スキャナドライバはプレビュー指示、若しくは本スキャン指示が行われたかを判断する(S33)。

【0029】スキャナドライバがS33で本スキャンの指示を検出すると、スキャナドライバはスキャナ1へ、インターフェースを介して設定パラメータを送信することで、操作者のS302での指定読み取りモード、指定解像度、指定倍率の読み取り条件を指示する。スキャナドライバは、読み取り条件の設定と共に読み取り領域を設定するが、この時点では操作者は読み取り領域は指定出来ていない

ので予め決められた原稿台ガラス上のほぼ全面をスキャンするパラメータを指示することになる。そして、スキャナドライバは上記読み取り条件をスキャナ1に指示した後に、実際のスキャン開始を指示するコマンドを送信する。

【0030】また、スキャナドライバがS33でプレビューの指示を検出すると、スキャナドライバはスキャナ1へ、インターフェースを介して、操作者のS32での指定読み取りモードと、予め決められている低解像度(75dpi等)、予め決められている倍率と予め決められた原稿台ガラス上のほぼ全面をスキャンするパラメータを指示する。そして、実際のスキャン開始を指示するコマンドを送信する。プレビューの場合は、常にほぼ全面を読み取る領域を示すパラメータの設定となる。

【0031】スキャナドライバは、S33で本スキャン指示を検出すると、スキャナ1へ前述の様な読み取り条件を示すパラメータを送り、スキャン開始を指示する。そして、スキャナ1はインターフェース回路31を介して、前述の読み取り条件を受け、これをシステムコントローラ26が解釈し、パラメータとして画像処理手段29等の各部へ設定する。そして、システムコントローラ26は光源15を点灯し、モータ7を駆動し、CCD出力をチェックすることで、光源の安定チェック、シェーディングデータの作成、読み取り基準位置の検出等のキャリブレーション制御をする。その後、スキャナ1はシステムコントローラ26の制御で原稿をスキャンし、スキャンした画像データを後述の如く圧縮した上でホスト21へ送信する(S34)。

【0032】また、ホスト21のスキャナドライバはS33でプレビューの指示を検出した場合には、前述のように本スキャンと異なる読み取り条件のパラメータを用いてS34同様に原稿をスキャンし、スキャンした画像データをホスト21へ送信する(S35)。

【0033】ここで、ホスト21のスキャナドライバは、スキャナ1から送信してきたスキャン画像をモニタ23上で表示する。この表示画像は、原稿台ガラス5上のほぼ全面を前述の低解像度で読み取ったプレビュー画像である。操作者はスキャナドライバの提供するこのプレビュー画像をモニタで確認する。さらに操作者は、プレビュー画像のうち必要な部分をクロップ枠で領域指定したり、画像調整(例えば、ガンマ補正曲線を補正する等)を施し好みの画像にするための操作を行うことが可能である。これらの領域指定や画像調整のデータはホスト21の不図示の一時記憶メモリに記憶される。

【0034】スキャナドライバはプレビュー画面の表示後に、ユーザーに上述の領域指定や画像調整機能を提供するとともに、操作者からの本スキャン指示があるかどうかを検出する(S36)。スキャナドライバはS36で本スキャン有りを検出すると、上述のプレビュー後の領域指定や画像調整データの有無を調べる(S37)。

スキャナドライバがS37でプレビュー後の領域指定や画像調整がないと判断した場合には、S33で本スキャンが指定されスキャナ1がS34の処理を行うのと同様の処理となる。

【0035】スキャナドライバがS37でプレビュー後の領域指定、画像調整の両方またはいずれかを検出した場合には、S38においてスキャナドライバはスキャナ1へ、インターフェースを介して、操作者のS32での指定読み取りモード、指定解像度、指定倍率、指定の読み取り領域、指定の画像調整等の読み取り条件の設定をパラメータを送信することで指示する。そして、スキャナドライバは上記読み取り条件の設定パラメータをスキャナ1に指示した後に、実際のスキャン開始を指示するコマンドを送信する。

【0036】そして、スキャナ1はのシステムコントローラ26はインターフェース回路を介して受けたパラメータを基に各部を制御し画像を読み取る。上述の領域指定による領域は、白色基準板13の裏面に記されるホームポジションマークを原点として原稿台ガラス5上の領域を主走査方向の画素位置と副走査方向のライン数で管理することが可能である。また、画像調整はガンマ補正曲線のデータをガンマRAMに書き込み、後述の画像処理手段を利用することで可能となる。

【0037】図4は、画像処理手段29の内部機能ブロック図であり、本発明の特徴である符号化部45を含んでいる。以下にその動作態様を説明する。図2のA/D変換器28は、システムコントローラ26からの制御でCCDセンサのRGB出力を受けた可変アナログゲイン調整器27R、27C、27Bからの出力を、RGBの各色信号が時分割多重した状態、即ち点順次信号に切り換えた後、デジタル信号に変換する。そして、デジタル化された画像信号が黒レベル補正回路35に入力される。黒レベル補正回路では、OB（オプティカルブラック）領域からの出力信号をデジタル化した値を入力画像信号から差し引くことで入力画像信号の黒レベルを調整する。そして黒レベル補正後の入力画像信号はデジタルAGC36に入力されデジタル的に1/2~1倍されることでRGBの各色のレベルを整える。そして、その後入力画像信号はシェーディング補正部37に入力される。

【0038】このシェーディング補正部37では、キャリブレーション時に白色基準板を読み取ることでスキャナが取得したシェーディングデータを用いる。シェーディングデータは、オフセットRAM32にキャリブレーション時に記憶される。これにより、光源やセンサ素子の固体差に起因する主走査方向の信号の歪みを補正した信号が作成される。シェーディング補正後の入力画像信号はライン合わせ部38に入力される。ここではRGBの画像信号の位置合わせを行う。3ラインCCDセンサ20と反射ミラー16、17、18の構造では、RGB夫

々のラインセンサが数ライン分のオフセットを持って配されている為に、同時に同一場所を読むことが不可能である。その位置合わせをデジタル的に行う部分である。例えばCCDセンサ20のRGB各ラインセンサが600dpiで8ライン分づつのオフセットを持ち、R、G、Bの順で画像を読み取る場合には、Rの16ライン分とGの8ライン分とをオフセットRAMに蓄積・読み出しをして遅延させ、Bの画像信号との位置合わせを行う。つまり、現在のBの画像信号と同一ラインのRとGの画像信号はそれぞれ16ライン前、8ライン前の信号である。

【0039】ここで、指定解像度・倍率に合わせて、システムコントローラ26はモータ駆動回路25、パルスモータ7を制御し光学ユニット4の副走査方向の移動速度を変える。副走査方向の移動速度は、例えばライン同期信号（以下Hsync）内にパルスモータ7に与えるパルス数を増やしたり、減らしたりすることで可能である。例えば600dpi/100%の指定の時には1Hsyncあたり4パルスで駆動するなら、300dpi/100%の時には1Hsyncあたり8パルスで駆動すれば移動速度が倍になり、サンプルライン数が半分になる。

【0040】本スキャナ1のシステムは、4(600dpi/100%)、8(300dpi/100%)、16パルス(150dpi/100%)、32パルス(75dpi/100%)の飛び飛びの速度で移動速度が設定されている。また、解像度と倍率の指定によっては、システムコントローラ26が最適化した制御を行う。例えば300dpiの解像度で200%の指定がある場合には、システムコントローラ26は600dpi/100%の指定の動作を行う。この移動速度によって上述のライン合わせ部38によるオフセットライン数も切換えられる。例えば、300dpiの解像度ではRを8ライン分、Gを4ライン分オフセットRAM32に蓄積・読み出すことにより、夫々遅延させることになる。また、同様に150dpiの解像度ではRを4ライン分、Gを2ライン分オフセットRAM32に蓄積・読み出すことにより、夫々遅延させることになる。このように、副走査方向の解像度、倍率変換はモータ7の速度制御とRAMからの読み出しアドレス制御で行うことになる。

【0041】こうして副走査方向の解像度・倍率変換された後にライン合わせがなされた画像信号はマスキング処理部40へ入力される。ここでは、CCDのフィルタを通して入力される光のうち不必要的波長の光に影響を取るための各色のフィルタに合わせたフィルタ補正係数を用いて各色信号を理想的な値に近づける。この処理は、読み取りモードがグレースケール、2値の時にはバイパスされて直接次のガンマ補正部41に入力される。

【0042】ガンマ補正部41では、入力画像信号に対するガンマ補正を行う。ガンマ補正曲線は、画像の走査

前に、スキャナドライバで操作者の指定した画像調整のガンマ補正曲線パラメータをホスト21からスキャナ1へ送り、システムコントローラがガンマRAM33にガンマ補正曲線として書込む。デジタル化された入力画像信号の値がそのままRAMのアドレスとして入力され、そのアドレスに格納される値に変換されて出力する。ホスト21において何の調整もなされていない場合には、ガンマ補正曲線はスルーパターンとなり、階調性、濃度を変えない。ガンマ補正曲線が、入力12ビット、出力8ビットで階調性を与えられている場合には階調性を下げる事ができるし、スルーモードに設定することで階調性をそのままに出力できる。

【0043】ガンマ補正部41から出力された画像信号は主走査移動平均部42に入力される。ここでは、主走査方向に対する解像度・倍率変換に関する画素の間引きや補間処理を行う。例えば、CCDセンサ20が600dpi相当の画素数を有している時、300dpi相当に変換する場合、隣り合う600dpi2画素分のデータを加算平均することで1画素のデータとする処理を行う。また、拡大時には、隣り合う2画素を加算平均することで1画素を作り補間することで拡大処理を行う。主走査移動平均部42では、主走査方向に関する解像度・倍率変換を2倍、1/2、1/4、1/8の場合について行うものである。

【0044】また、この主走査移動平均部42においては、先に説明したように600dpi相当の画素数を有する各ラインのCCDセンサ出力のうち必要な範囲の画素値のみを抽出し、抽出された画素値のみを均等な時間間隔で出力する機能を有する。例えば、所定の1/4の大きさの原稿を読み取る場合には、各ラインの画素数は半分になるため、300dpi相当の画素数となり、これを300dpiで読み取ったときと同様の均等時間間隔で出力する。

【0045】こうして主走査方向の解像度・倍率変換の施された画像信号は符号化部45に入力される。ここで、後述する画像圧縮のための符号化処理を受ける。但し、データ量が少ない、8ビットグレースケールや二値化画像信号はこの符号化部45内でエントロピー符号化のみを施して後段のパッキング処理部46へ入力される。

【0046】パッキング処理部46は、二値化画像信号を8画素分パッキングしたり、12ビット画像データを8ビットと4ビット+ダミーデータ(4ビット)に分割するなど、8ビット単位に画像データのパッキング処理を行いラインバッファ30に出力する。

【0047】以下、本実施例における符号化部45の構成について説明する。本件実施例における符号化部45では、図5に示すように最大3レベルの2次元の離散ウェーブレット変換(以下、単にDWTと称する)を行うことができる。多レベルの2次元DWTは周知のよう

に、2次元DWTされた水平垂直両方向のローパス係数(以下、LLと称する)を、次の2次元DWTの対象として2次元DWTを繰り返し行う。なお、同様に本明細書において、水平ローパス垂直ハイパス係数をLH、水平ハイパス垂直ローパス係数をHL、水平垂直両方向のハイパス係数をHHと称する。

【0048】本件実施例においては、最終段のDWTによって得られるLLをLL1と表記し、同様に最終段のDWTによって選られるLH、HL、HHを夫々LL1、HL1、HH1と表記する。また、最終段の前段のDWTによって得られるLL、LH、HL、HHを夫々LL2、LH2、HL2、HH2、その前段(3レベルの場合の初段)のDWTによって得られるLL、LH、HL、HHを夫々LL3、LH3、HL3、HH3と夫々表記する。

【0049】図6は本実施例における符号化部の概略構成を示すブロック図である。前述のようにスキャンされたカラー画像信号は水平垂直(主副)両方向の解像度・倍率変換処理の後、RGB3色の点順次信号として得られる。この点順次信号は端子100に入力され、同時化回路101に供給される。

【0050】スキャナが600dpiの画像を出力する場合における上記点順次信号の全サンプルの入力周波数に相当するクロックをマスタークロックMCKとし、このマスタークロックMCKとスキャニングの水平同期信号HSYとがクロック発生回路121に入力される。クロック発生回路121では後述する符号化回路102～104において利用される種々のクロックを発生する。

【0051】一方、スキャナの動作により、その動作モードを示す信号、即ち、前述したシステムコントローラ26からのパラメータが端子110を介して切換信号発生回路111に入力され、符号化回路102～104において上記クロック発生回路121からの種々のクロックから適切なクロックを選択するための複数ビットの制御信号が発生される。

【0052】ここで、クロック発生回路121の具体的な構成例を図7に示す。3分周回路200はマスタークロックMCKを3分周して、600dpiの場合に、各色のサンプルが入力される周波数を有するクロックCK1を発生する。このクロックCK1はカウンタ201に入力され、当該カウンタ201の各段から順次CK1を1/2づつ分周したクロックCK2、CK3、CK4、CK5、CK6、CK7を夫々発生する。カウンタ201は水平同期信号HSYと同期を取りるために該信号HSYでリセットされる。こうして得られたクロックCK1～CK7は装置各部に供給される。

【0053】同時化回路101はクロック発生回路121で発生された、クロックを用いて上記R、G、Bの各色の信号を同時化するが、その回路構成例を図8に示す。図8におけるクロックセレクタ320にはクロック

CK1～4が入力されることになるが、本実施例においては600dpiの画像信号が入力されるときにはクロックCK1が選択され、300dpi、150dpi、75dpiの画像信号が入力される場合には、夫々クロックCK2、CK3、CK4が夫々選択される。

【0054】端子300から入力されたRGB点順次信号は、D型フリップフロップ(D-FF)301、302にて順次マスタークロックで遅延される。こうして得られる時間的に点順次信号の1サンプルづつシフトした3つの信号は、D-FF331、332、333のD端子に入力され、マスタークロックに対応して選択されたクロックCKにてサンプリングされることにより、選択されたクロックに同期したRGB各色の信号となって後段に出力される。

【0055】同時化回路101にて得られたRGB各色の信号は夫々各色の符号化回路102～104に入力されるが、これらの回路102～104の構成は基本的に同一であり、図9以下でその構成を詳細に説明する。図9は符号化回路102～104の全体構成を示すブロック図である。

【0056】図中、400には同時化回路101において同時化された色信号が入力される。DWT-HA401、DWT-HB402、DWT-HC403はそれぞれ水平方向のDWT回路であって、水平方向についてのローパス係数(L)とハイパス係数(H)とを夫々入力時の1/2の周期で出力する。一方、DWT-VA411、DWT-VB412、DWT-VC413はそれぞれ垂直方向のDWT回路であって、水平方向についてのローパス係数(L)とハイパス係数(H)を受けLL、LH、HL、HHを夫々出力する。ここで、これら各成分LL、LH、HL、HHは水平方向のDWT回路401～403の出力するローパス係数(L)とハイパス係数(H)の1/2の周期で出力されることになる。

【0057】なお、各水平方向のDWT回路401～403及び垂直方向のDWT回路411～413において利用されるクロックは、スキヤナのモードによって異なるが、このクロックの選択については後に詳述する。各垂直方向のDWT回路411～413において得られたLH、HL、HHの各成分は後段の量子化回路431～433に供給され、ビットシフト等により適宜量子化される。勿論、この量子化回路431～433において、最も高い周波数成分に対応するLH3、HL3、HH3を最も粗く量子化し、LH1、HL1、HH1を比較的細かく量子化することによって、画質をそれほど損なうことなしに符号量を低減することができる。

【0058】一方、各段の垂直方向のDWT回路411～413から得られたLLは次段の水平方向のDWT回路に供給され複数レベルのDWTが実現される。最終段のLLはLL1として量子化回路434に入力され量子化される。ここで、この量子化回路434における量子

化はLL1が最も大事な情報であることから先の量子化回路431～433に比して細かく量子化を行う。

【0059】各量子化回路431～434において量子化された係数は夫々エントロピー符号化回路441～444にてエントロピー符号化される。例えば、このエントロピー符号化回路では量子化された係数を所定数、例えば(8×8)個のブロック(タイル)単位で集め、ブロック毎に係数データを各ビットプレーンに分解し、ビットプレーンを単位として2値の算術符号化を行ってコードストリームを出力する。

【0060】このようにエントロピー符号化回路441～444において出力されたコードストリームはバッファメモリ450において所定の順序に並び替えられて端子460から出力される。この端子460からの出力は各符号化回路102～104の出力として出力されることになる。

【0061】次に、図10を参照して水平方向のDWT回路401～403の具体的な回路構成について説明する。図10において、端子500には各色の画像信号がライン毎に入力されることになる。この時、各水平方向のDWT回路によって入力される色信号の周期が異なつたりするので、クロックセレクタ520及び521によって必要なクロックが適宜選択される。この選択については後述するが、クロックセレクタ520が選択されるときにはクロックセレクタ521が出力するクロックの周波数は1/2となるように選択される。即ち、クロックセレクタ520がクロックCK1～CK5を夫々選択しているときにはクロックセレクタ521はクロックCK2～CK6を選択する。

【0062】入力された色信号はDフリップフロップ(D-FF)501、502で夫々1クロック分遅延され、結果としてD-FF501の入力側A、D-FF502の入力側B、D-FF502の出力側Cから水平方向に隣接する3つの画素値が同時に出力される。ここで、D-FF501の入力側Aから出力された画素値、D-FF502の出力側Cから出力された画素値は、夫々-1/2倍器503、505により正負を反転すると共にその絶対値を1/2にされる。そして、加算器504では、これら-1/2倍器503、505及びD-FF501の出力を加算する。

【0063】図11は、図10の各部のデータを模式的に示すタイミングチャートであり、図中(A)～(G)に示す各チャートは図10上の各点A～Gの値を示している。また、P1、P2、P3、P4、…は夫々画素値を示し、P1、P2、P3、P4、…の順で水平方向に隣接する画素値である。

【0064】今、図10のB点の画素値がP4であるとすると、図10からも明らかなようにA点の画素値はP5であり、C点の画素値はP3である。このとき、加算器504の出力値は $(-P3/2 + P4 - P5/2)$ 、

即ち $P_4 - (P_3 + P_5) / 2$ となり、画素値 P_4 の画素に相当するハイパス出力 (H_4) となる。

【0065】この加算器504の出力は、 $D - F_{F501}$ 、 F_{502} に対してクロックの周波数が $1/2$ となる $D - F_{F506}$ により 2 画素に相当する期間遅延される。そして、この $D - F_{F506}$ の入力側Dからの出力値と出力側Eからの出力値とは共にハイパス出力であり、これらは夫々 $1/4$ 倍器 507 、 508 にて $1/4$ 倍され、加算器 509 に供給される。一方、 $D - F_{F502}$ の出力側Cの値も加算器 509 に供給される。

【0066】ここで、B点の画素値が P_4 の際の、この加算器 509 の出力は、 $\{P_4 - (P_3 + P_5) / 2\} / 4 + \{P_2 - (P_1 + P_3) / 2\} / 4 + P_3$ 、即ち、 $(-P_1 + 2P_2 + 6P_3 + 2P_4 - P_5) / 8$ となり、画素値 P_3 の画素に相当するローパス出力 (L_3) となる。この時、点Eには画素値 P_2 の画素に相当するハイパス出力 (H_2) が出力されているので、ローパス出力は次段の $D - F_{F510}$ により 2 画素に相当する期間遅延され、結果として、端子 511 、 512 から互いに隣接する画素に相当するハイパス出力 (H) とローパス出力 (L) とが同時に出力されることになる。

【0067】次に、図12を参照して垂直方向のDWT回路 $411 \sim 413$ の具体的な回路構成について説明する。尚、図13は図12における各部 (J) ~ (S) におけるデータを示すタイミングチャートである。図12に示されるように、垂直方向のDWT回路 $411 \sim 413$ のハイパス出力Hとローパス出力Lを夫々処理する同様の一対の回路により構成されており、具体的構成については同様であるので、説明を省略する。

【0068】図12において、端子 $700L$ には水平方向のDWT回路の出力する水平方向のローパス出力が入力され、端子 $700H$ には水平方向のDWT回路の出力する水平方向のハイパス出力が入力される。

【0069】これらのデータは図10の説明からも明らかなようにライン毎に入力されることになる。この時、各垂直方向のDWT回路によって入力される水平ハイパス出力や水平ローパス出力の周期が異なったりするので、クロックセレクタ 720 及び 721 によって必要なクロックが適宜選択される。図10の場合と同様に、クロックセレクタ 720 が outputするクロックに対してクロックセレクタ 721 が outputするクロックの周波数は $1/2$ となるように選択される。即ち、クロックセレクタ 720 がクロック $C_K2 \sim C_K6$ を夫々選択しているときにはクロックセレクタ 721 はクロック $C_K3 \sim C_K7$ を選択する。

【0070】入力された水平ハイパス出力（もしくは水平ローパス出力）はラインメモリ 701 、 702 で夫々 1 ライン分遅延され、結果としてラインメモリ 701 の入力側J、ラインメモリ 702 の入力側K、ラインメモリ 702 の出力側Mから垂直方向に隣接する 3 つの画素

値が同時に出力される。ここで、ラインメモリ 701 の入力側Jから出力された画素値、ラインメモリ 702 の出力側Mから出力された画素値は、夫々 $1/2$ 倍器 703 、 705 により正負を反転すると共にその絶対値を $1/2$ にされる。そして、加算器 704 では、これら $1/2$ 倍器 703 、 705 及びラインメモリ 701 の出力を加算する。

【0071】図13において、line1、line2、line3、line4、…は夫々 1 ライン分の画素値を示し、line1、line2、line3、line4、…の順で垂直方向に隣接するラインの画素値を示している。今、図12のK点にline4の画素値が出力されているとすると、図13からも明らかのようにJ点にはline5の画素値が出力されており、M点にはline3の画素値が出力されることになる。このとき、加算器 704 の出力値は $(-line3/2 + line4 - line5/2)$ となり、line4の画素値のラインに相当するハイパス出力 ($Hline4$) となる。

【0072】この加算器 704 の出力は、2 ラインメモリ 706 により 2 ラインに相当する期間遅延される。そして、この 2 ラインメモリ 706 の入力側Nからの出力値と出力側Pからの出力値とは共にハイパス出力であり、これらは夫々 $1/4$ 倍器 707 、 708 にて $1/4$ 倍され、加算器 709 に供給される。一方、ラインメモリ 702 の出力側Mの値も加算器 709 に供給される。

【0073】ここで、K点にline4の画素値が出力されている際の、この加算器 709 の出力は、 $\{line4 - (line3 + line5)/2\} / 4 + \{line2 - (line1 + line3)/2\} / 4 + line3$ 、即ち、 $(-line1 + 2line2 + 6line3 + 2line4 - line5) / 8$ となり、line3の画素値のラインに相当するローパス出力 ($Lline3$) となる。この時、点Pにはline2の画素値のラインに相当するハイパス出力 ($Hline2$) が出力されている。

【0074】これら隣接するラインのローパス出力とハイパス出力とは夫々、時間軸伸長回路 710 および 711 にて、時間軸伸長され、結果として、互いに隣接するラインの画素に相当するローパス出力 (L) とハイパス出力 (H) とが同時に出力されることになる。ここで、図13に示される回路の入力が水平方向のハイパス出力であればこの回路から HH 係数と HL 係数とが得られ、水平方向のローパス出力であればこの回路から LH 係数と LL 係数とが得られるのは明らかであろう。ここで、これら HH 、 HL 、 LH 、 LL 係数はそれぞれ端子 $712H$ 、 $713H$ 、 $712L$ 、 $712H$ 端子から夫々出力されることになる。

【0075】次に、本件実施例の各動作モードについて図14を用いて説明する。図14において、Aは所定サ

イズの原稿（例えば、A 4 の原稿）全面を 600 dpi で読み取るモード、1B は同じく所定サイズの原稿全面を 300 dpi で読み取るモード、1C は同じく所定サイズの原稿全面を 150 dpi で読み取るモード、D は同じく所定サイズの原稿全面を 75 dpi で読み取るモードを示している。モード 2B は上記所定サイズの 1/4 のサイズの原稿（例えば A 5 の原稿）全面を 600 dpi で読み取るモード、2C は上記所定サイズの 1/16 のサイズの原稿（例えば A 6 の原稿）全面を 600 dpi で読み取るモードを示している。尚、本明細書においては説明の簡単のためすべての動作モードにおける倍率を 100% であるものとして説明する。

【0076】図 15 は上述の各モードにおいて、装置各部のクロックセレクタで選択されるクロックの種類及びスイッチの状態を示す図である。以下、各モードにおける動作を、図 14 と図 15 及び上記モード名を用いて説明する。

【0077】まず、A モードの場合の動作について説明する、前述のように上記モードを示す信号（パラメータ）はスキャナ本体のシステムコントローラ 26 から図 6 の端子 110 を介して切換信号発生回路 111 に入力され、A モードに対応した複数ビットの制御信号が各符号化回路 102、103、104 に夫々供給される。この A モードにおいて、図 8 のクロックセレクタ 320 により選択されるクロックは、図 15 に示すようにマスタークロック MCK を 3 分周したクロック CK1 である。従って、図 8 の端子 300 に入力された RGB 点順次信号はすべてサンプリングされ、1/3 の周期で D-F F 331、332、333 から同時化された色信号が出力される。

【0078】この各色信号は図 9 に示される符号化回路に供給されるが、図 15 に示すように図 9 の各スイッチは全て Y 側に接続され、各水平及び垂直 DWT 回路 401、402、403、411、412、413 にて、クロックセレクタ 520、521、720、721 で選択されるクロックは図 15 に示す通りである。尚、これら各 DWT 回路におけるクロックの選択は先の複数ビットの制御信号に従って行われる。

【0079】A モードにおいて、水平 DWT 回路 DWT-HA 401 はクロック CK1、クロック CK2 によって動作し、クロック CK2 に同期してハイパス係数 (H) とローパス係数 (L) とが output される。そして、垂直 DWT 回路 411 ではこれを受けて、クロック CK2、クロック CK3 によって動作し、クロック CK3 に同期して HH3、HL3、LH3、LL3 の各成分を出力する。HH3、HL3、LH3 の各成分は量子化回路 431 及びエントロピー符号化回路 441 により符号化され、バッファメモリに供給される。LL3 はスイッチ 421 の Y 側を介して次段の水平 DWT 回路 DWT-HB 402 に供給される。

【0080】水平 DWT 回路 402 はクロック CK3、クロック CK4 によって動作し、同様にクロック CK4 に同期してハイパス係数 (H) とローパス係数 (L) とが output される。垂直 DWT 回路 412 はクロック CK4、クロック CK5 によって動作し、クロック CK5 に同期して HH2、HL2、LH2、LL2 の各成分を出力する。ここでも、HH2、HL2、LH2 の各成分は量子化回路 432 及びエントロピー符号化回路 442 により符号化され、バッファメモリ 450 に供給され、LL2 はスイッチ 422 の Y 側を介して次段の水平 DWT 回路 403 に供給される。

【0081】水平 DWT 回路 403 はクロック CK5、クロック CK6 によって動作し、同様にクロック CK6 に同期してハイパス係数 (H) とローパス係数 (L) とが output される。垂直 DWT 回路 413 はクロック CK6、クロック CK7 によって動作し、クロック CK7 に同期して HH1、HL1、LH1、LL1 の各成分を出力する。ここでも、HH1、HL1、LH1 の各成分は量子化回路 433 及びエントロピー符号化回路 443 により符号化され、バッファメモリ 450 に供給される。そして、LL1 成分についてもスイッチ 423 の Y 側を介して量子化回路 434 びエントロピー符号化回路 444 により符号化され、バッファメモリ 450 に供給される。

【0082】バッファメモリ 450 は各エントロピー符号化回路 441、442、443、444 からの各成分 (LL1、LH1、HL1、HH1、LH2、HL2、HH2、LH3、HL3、HH3) の符号を所定の順序で端子 460 に符号化出力として出力する。

【0083】次に、1B モードについて説明する。図 8 のクロックセレクタ 320 により選択されるクロックは、マスタークロック MCK を 3 分周し、更に 2 分周したクロック CK2 である。従って、図 8 の端子 300 に入力された RGB 点順次信号は 1 つおきにサンプリングされ、1/6 の周期で D-F F 331、332、333 から同時化された色信号が出力される。この時、原稿の搬送速度は A モードの 2 倍となっているので、同じ所定サイズ (A 4) の原稿から選られるライン数は A モードの半分である。また、各ラインのサンプル数については、前述の主走査移動平均部 42 において、2 画素分のデータを加算平均することにより、A モードの 1/2 とされている。

【0084】各色信号は図 9 に示される符号化回路のスイッチ 421 の X 端子を介して水平 DWT 回路 DWT-HB 402 に供給される。ここで、水平 DWT 回路 402 はクロック CK2、クロック CK3 によって動作し、垂直 DWT 回路 412 はクロック CK3、クロック CK4 によって動作し、クロック CK4 に同期して HH2、HL2、LH2、LL2 の各成分が得られる。水平 DWT 回路 DWT-HA 403 はクロック CK4、クロック

CK5によって、垂直DWT回路413はクロックCK5、クロックCK6によって動作し、クロックCK6に同期してHH1、HL1、LH1、LL1の各成分を出力する。LL1成分はスイッチ423のY側を介して量子化回路434びエントロピー符号化回路444により符号化される。

【0085】バッファメモリ450は各エントロピー符号化回路442、443、444からの符号を所定の順序で端子460に符号化出力として出力する。こうして、Aモードに比べて1レベル少ない各成分(LL1、LH1、HL1、HH1、LH2、HL2、HH2)の符号が出力される。

【0086】次に、1Cモードについて説明する。図8のクロックセレクタ320により選択されるクロックは、マスタークロックMCKを3分周し、更に4分周したクロックCK3である。従って、図8の端子300に入力されたRGB点順次信号は3つおきにサンプリングされ、1/12の周期でD-F331、332、333から同時化された色信号が出力される。この時、原稿の搬送速度はAモードの4倍となっているので、同じ所定サイズ(A4)の原稿から得られるライン数はAモードの1/4であり、各ラインのサンプル数もAモードの1/4である。

【0087】各色信号は図9に示される符号化回路のスイッチ421及びスイッチ422のX端子を介して水平DWT回路DWT-HC403に供給される。ここで、水平DWT回路403はクロックCK3、クロックCK4によって動作し、垂直DWT回路413はクロックCK4、クロックCK5によって動作し、クロックCK5に同期してIII1、II1、LII1、LL1の各成分が得られる。LL1成分はスイッチ423のY側を介して量子化回路434びエントロピー符号化回路444により符号化される。

【0088】バッファメモリ450は各エントロピー符号化回路443、444からの符号を所定の順序で端子460に符号化出力として出力する。こうして、Aモードに比べて2レベル少ない各成分(LL1、LH1、HL1、HH1)の符号が出力される。

【0089】次に、Dモードについて説明する。図8のクロックセレクタ320により選択されるクロックは、マスタークロックMCKを3分周し、更に8分周したクロックCK4である。従って、図8の端子300に入力されたRGB点順次信号は7つおきにサンプリングされ、1/24の周期でD-F331、332、333から同時化された色信号が出力される。この時、原稿の搬送速度はAモードの8倍となっているので、同じ所定サイズ(A4)の原稿から選られるライン数はAモードの1/8であり、各ラインのサンプル数もAモードの1/8である。

【0090】各色信号は図9に示される符号化回路のス

50

イッチ421、スイッチ422及びスイッチ423のY端子を介して直接量子化回路434びエントロピー符号化回路444によりLL1成分と同様に符号化される。バッファメモリ450は各エントロピー符号化回路444からのLL1成分の符号を端子460に符号化出力として出力する。尚、垂直DWT回路411におけるラインメモリの容量に対して、垂直DWT回路412、413におけるラインメモリの容量は夫々1/2、1/4となるのはいうまでもない。

【0091】次に、2Bモード及び2Cモードについて説明する。先に述べた様にモード2Bは上記所定サイズの1/4のサイズの原稿(例えばA5の原稿)全面を600dpiで読み取るモード、2Cは上記所定サイズの1/16のサイズの原稿(例えばA6の原稿)全面を600dpiで読み取るモードである。

【0092】モード2Bにおいては、主走査移動平均部42からA5の原稿から読み取った各ラインの画素データが、拡大処理に相当する処理を施すことにより、300dpiで読み取ったときと同様の均等時間間隔で出力されることになるので、得られるライン数はAモードの1/2であり、各ラインのサンプル数もAモードの1/2である。尚、副走査方向についての光学ユニット4の移動速度はAモードと同じであり、その移動範囲はAモードや1Bモードの1/2となる。従って、符号化部45の動作そのものは上記モード1Bと同様である。従って、図9に示す符号化部45から、Aモードに比べて1レベル少ない各成分(LL1、LH1、HL1、HH1、LH2、HL2、HH2)の符号が出力される。

【0093】また、モード2Cにおいては、主走査移動平均部42からA6の原稿から読み取った各ラインの画素データが、150dpiで読み取ったときと同様の均等時間間隔で出力されることになるので、得られるライン数はAモードの1/4であり、各ラインのサンプル数もAモードの1/4である。尚、副走査方向についての光学ユニット4の移動速度はAモードと同じであり、その移動範囲はAモードや1Cモードの1/4となる。従って、符号化部45の動作そのものは上記モード1Cと同様である。従って、図9に示す符号化部45から、Aモードに比べて2レベル少ない各成分(LL1、LH1、HL1、HH1)の符号が出力される。

【0094】上述したように、上記スキャナとホストコンピュータよりなるシステムにおいては、スキャナにおいて読み取る原稿のサイズや解像度に応じて、画像符号化部での離散ウエーブレット変換のレベル数を適宜設定しており、それによってA、1B、1C、D、2B、2Cのいずれのモードにおいても、最終のLL成分の画像の解像度とサイズを一致させることができ、いかなる画像についても所望の解像度、所望のサイズの画像を同様の復号工程で得ることが可能になった。

【0095】また、最終のLL成分の画素数(画像サイ

ズ)が極端に小さくなったり、大きくなったりすることがないので、高能率符号化そのものの効率も常に所定以上の効率を保つことが出来、無意味なサブバンド分割(離散ウエーブレット変換)を行うことによる時間的なロスを最小限に抑えることが可能となった。

【0096】尚、上記実施例においては、符号化手段をハードウェアで構成する例について説明したが、CPUとROMなどによりソフトウェアで構成することも可能であることは言うまでもない。そして、ソフトウェアで構成する場合には画像入力パラメータ(解像度やサイズの情報)をもそのソフトウェアで取り込み、当該パラメータによって離散ウエーブレット変換のためのソフトウェアの実行回数を切換えることによって同様の機能を実現できる。

【0097】また、上述の実施例においては説明の簡単のため、スキャナから読み取られる画像のサイズはA4、A5、A6等限られたサイズとし、また、その解像度も600dpi、300dpiなど限られた解像度の場合についてのみ説明しているが、任意のサイズで且つ任意の解像度のデジタル画像をも本件発明の思想にしたがって取り扱うことが可能である。即ち、解像度やサイズの比が2のべき乗ではない場合においては最終的なLL成分の解像度やサイズの比を1:2未満になるように離散ウエーブレット変換のレベル数を設定することによって上述の実施例と同様の効果が期待できる。

【0098】さらに、本発明はいかなる場合においても最終的なLL成分の解像度やサイズをある範囲内に設定する思想のみではなく、特定の画素数以下の画像を離散ウエーブレット変換するに際してその変換レベル数を解像度、サイズ、画素数によって決定する装置、システムなども含む。それは、先に述べたように画像の高能率符号化そのものの効率を考慮した場合に非常に有効である。

【0099】以下、このように高能率符号化の効率を優先した場合の本発明の実施例について図16および図17を含めて説明する。本実施例は最終的なLL成分の画素数が垂直方向、水平方向のいずれについても64画素未満にならないようにするものである。すなわち、最終的なLL成分および最終的なLH、HL、HHの書く成分の画素数が(64*64)画素以下になった場合に各成分に含まれる画素(ウエーブレット係数)の数がエンタロピー符号化を行った場合に充分な圧縮効率を与えられなくなるのを避けるためである。なお、本実施例におけるスキャナ(画像入力システム)の構成そのものは図2に示す通りであり、図2の画像処理手段の構成は図4に示す通りであり、さらに符号化回路45としては図6から図9に示すものをそのまま用いることができる。

【0100】図16は図3のフローチャートにおけるステップS34もしくはS38において、スキャンの実行をするとともにホストコンピュータ21に送信するにあ

たり、画像処理手段29のモードを図17に示すモードI、II、III、IVのいずれかに設定するためのシステムコントローラ28の処理を示すフローチャートである。

【0101】図16のステップS50においては、ホストコンピュータ21に送信するべき画像が、垂直方向水平方向とともに、128画素未満でないか否かを判断する。すなわち、これは1レベルのDWTを行った場合に最終的に得られる各成分(たとえば、LL成分)の画素(ウエーブレット係数)の数が64未満とならないかどうかを判断していることになる。したがって、垂直、水平いずれかの画素数が128画素未満であればDWTを行うことなくエンタロピー符号化を行うモードIVが選択される(ステップS52)。

【0102】たとえば、A4の原稿を600dpiで読み取った場合の垂直方向の画素数は約6000、水平方向の画素は約4800と考えられるが、75dpiで読み取った場合には(750*600)となる。また、A5の原稿を75dpiで読み取った場合には(375*300)、A6の原稿を75dpiで読み取った場合には(186*150)となる。したがって、本実施例のスキャナの読み取ることの出来る最小原稿サイズがA6であるとすると、図16において垂直もしくは水平画素数が128画素未満となるのは、図3におけるステップS38において画像をクロップした場合にのみ発生する。

【0103】図17に示すようにモードIVにあっては、図9におけるスイッチ423がXに接続され、DWTを施されない画像データ(画素データ)がそのまま量子化回路434、エンタロピー符号化回路444に入力されるためエンタロピー符号化は各DWT係数成分に分割されない状態で行われるため、その符号化効率を保つことが出来る。

【0104】水平方向および垂直方向共に画素数が128以上ある場合にはステップS54に進み、水平方向もしくは垂直方向のいずれかの画素数が256未満であるか否かを確認する。たとえば、A6の原稿を75dpiで読み取った場合はこれに相当する。また、それ以上の解像度もしくはサイズの原稿であっても、図3におけるステップS38において画像をクロップした場合に発生する。この場合には、1レベルのみDWTを行い、その後量子化およびエンタロピー符号化を行うモードIIIが選択される(ステップS56)。

【0105】モードIIIは、図17に示すようにスイッチ423がY、スイッチ422がXに接続されるため、DWT-HC403、DWT-VC413により1レベルの2次元DWTが施され、その結果得られる各成分(LL、LH、HL、HH)の垂直方向および水平方向についてのDWT係数の数はそれぞれ64以上128未満ということになり、エンタロピー符号化の効率を損なわずエンタロピー符号化回路443、444を比較的小規模に構成できる範囲となる。

【0106】同様に、ステップ58においては、水平方向もしくは垂直方向のいずれかの画素数が512未満であるか否かを確認する。たとえば、A6の原稿を150dpiで読み取った場合やA5の原稿を75dpiで読み取った場合や、それ以上の解像度もしくはサイズの原稿画像をクロップした場合に発生する。この場合には、2レベルのみDWTを行い、その後量子化およびエントロピー符号化を行うモードIIが選択される(ステップS60)。

【0107】モードIIは、図17に示すようにスイッチ422およびスイッチ423がY、スイッチ421がXに接続されるため、2レベルのDWTが施され、その結果得られる各成分(LL, LH, HL, HH)の垂直方向および水平方向についてのDWT係数の数はやはり64以上128未満ということになり、エントロピー符号化の効率を損なわず小規模な符号化回路を構成できる。

【0108】ステップS58において、垂直方向、水平方向のいずれについても512画素以上存在すると認識された場合には、モードIに設定される。たとえば、クロップがないと仮定すると、A4の原稿を75dpi以上の解像度で読み取ったとき、A5の原稿を150dpi以上の解像度で読み取ったとき、A6の原稿を300dpi以上の解像度で読み取ったときにはモードIとなる。

【0109】モードIは、図17に示すようにスイッチ422、423およびスイッチ421がYに接続されるため、3レベルのDWTが施され、その結果得られる各成分(LL, LH, HL, HH)の垂直方向および水平方向についてのDWT係数の数は64以上ということになる。エントロピー符号化回路の効率を損なわない。また、エントロピー符号化回路411～414を(64*64)個の係数毎に行うようにすれば小規模な符号化回路を構成できる。

【0110】上述の実施例においては、各DWT回路401～403および411～413に供給されるクロックについては特に言及しなかったが、モードIにおいてDWT回路401に供給されるクロックは、原稿の画素数によって異なるが、A5以上A4未満の原稿をクロップすることなく600dpiで読み取った場合にはCK1およびCK2が用いられ、サイズが半分となるごとにそれを分周したクロックが用いられる。また、先に説明したように、他のDWT回路についてはDWT回路401に供給されるクロックを分周したものが用いられる。

【0111】同様に、モードIにて取り扱う最小の画素数の原稿、たとえば、A4の原稿を75dpiの解像度で読み取ったときは、DWT回路401に供給されるクロックはCK4およびCK5ということになり、他のDWT回路についてはDWT回路401に供給されるクロックをさらに分周したものが用いられる。同様にモードIIにおいてDWT回路401に供給されるクロックはCK5およびCK6、モードIIIにおいてDWT回路401

に供給されるクロックはCK6およびCK7、さらにモードIVにおいてDWT回路401に供給されるクロックはCK7およびCK7を1/2分周したクロックとなる。これらのモードII、IIIおよびIVにおいても、他のDWT回路についてはDWT回路401に供給されるクロックをさらに分周したものが用いられるることは言うまでもない。

【0112】上述した実施例においては、画像の解像度およびサイズ(クロップされたサイズ)により定められる画素数に応じて、DWTのレベル数を決定することによって、エントロピー符号化を行う際に効率を保てる範囲でしかも出来るだけ多くのレベル数のDWTを行うことができ、最大の符号化効率を引きだすことが可能となった。

【0113】

【発明の効果】以上、説明したように本件発明の画像入力装置、画像処理装置、画像入力方法、画像処理方法及び画像入力システムなどによれば、いかなる解像度やサイズの画像を入力するに際してもサブバンド符号化された画像から、解像度やサイズが大きく異なる画像を容易に復号することが可能となり、符号化後の画像信号の取り扱いが容易になった。また、最終的に得られるサブバンドの画像のサイズや解像度が所定数以上の変換係数を有することになるので、符号化そのものの効率も悪くならないことがない。

【図面の簡単な説明】

【図1】本件発明の実施例に係る画像入力装置(スキャナ)の断面図である。

【図2】本件発明の実施例に係る画像入力システムの構成を示すブロック図である。

【図3】図2の画像入力システムの基本動作を説明するためのフローチャートである。

【図4】図2における画像処理手段の機能を説明するためのブロック図である。

【図5】本件発明の実施例により取り扱われる離散ウェーブレット変換された画像の各サブバンドのデータを模式的に示す図である。

【図6】本件発明の実施例における符号化部の概略構成を示すブロック図である。

【図7】図6におけるクロック発生回路の具体的な構成例を示すブロック図である。

【図8】図6における同時化回路の具体的な構成例を示すブロック図である。

【図9】図6における各符号化回路の具体的な構成例を示すブロック図である。

【図10】図9における水平DWT(離散ウェーブレット変換)回路の具体的な構成例を示すブロック図である。

【図11】図10の動作タイミングを説明するためのタイミングチャートである。

【図12】図9における垂直DWT(離散ウェーブレット変換)回路の具体的な構成例を示すブロック図である。

【図13】図12の動作タイミングを説明するためのタイミングチャートである。

【図14】本件実施例のスキャナの各動作モードを説明するための模式図である。

【図15】図9の符号化回路の各部において各動作モードで用いられるクロックを示す図である。

【図16】本件発明の他の実施例における図2画像入力システムの動作を説明するためのフローチャートである。

【図17】図16により動作する各モードを説明するための図である。

【図18】一般的なスキャナとホストコンピュータのシステムを示す図である。

【符号の説明】

- 1 スキャナ
- 4 移動光学ユニット
- 6 電気基板
- 7 パルスモータ
- 20 ラインセンサ

* 21 ホストコンピュータ

22 インターフェースケーブル

26 システムコントローラ

29 画像処理手段

30 ラインバッファ

31 インターフェース

32 オフセットRAM

38 ライン合わせ部

42 主走査移動平均部

45 符号化部

46 パッキング部

101 同時化回路

102~104 符号化回路

111 切換信号発生回路

121 クロック発生回路

401~403 水平DWT回路

411~413 垂直DWT回路

421~423 スイッチ

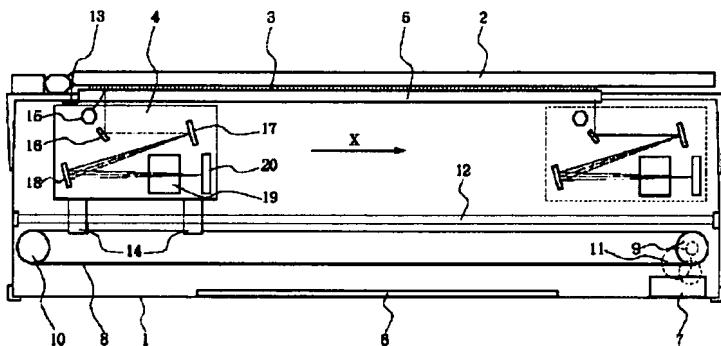
431~434 量子化回路

20 441~444 エントロピー符号化回路

450 バッファメモリ

*

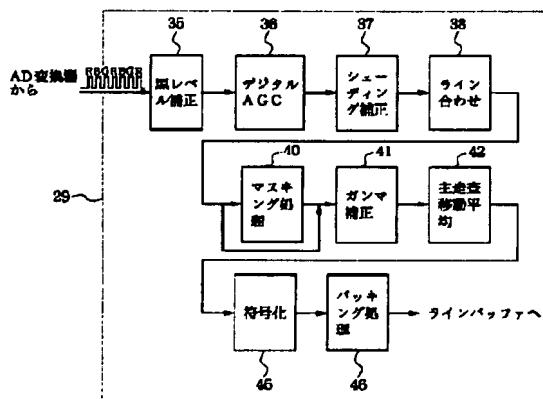
【図1】



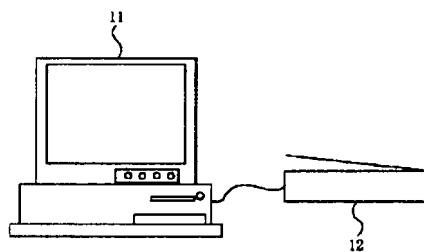
【図17】

	421	422	423
Mode I	Y	Y	Y
Mode II	X	Y	Y
Mode III	-	X	Y
Mode IV	-	-	X

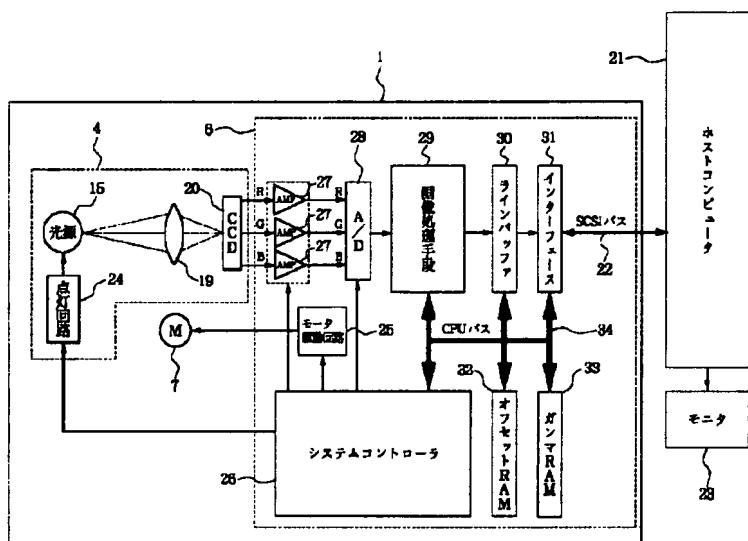
【図4】



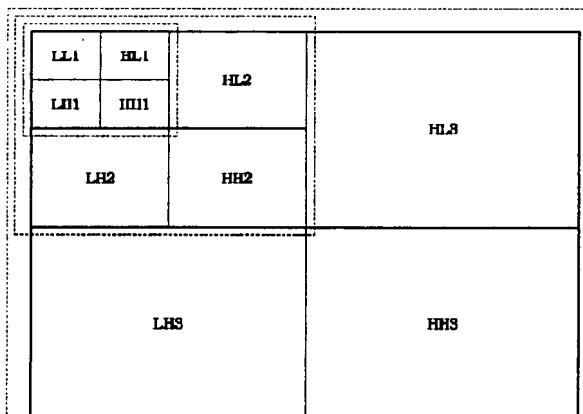
【図18】



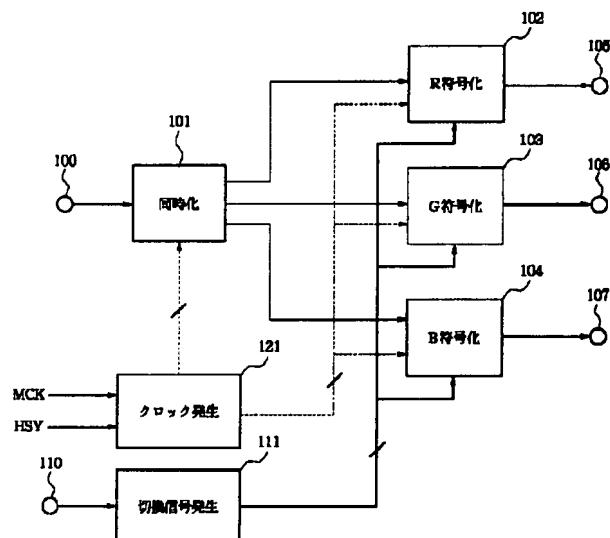
【図2】



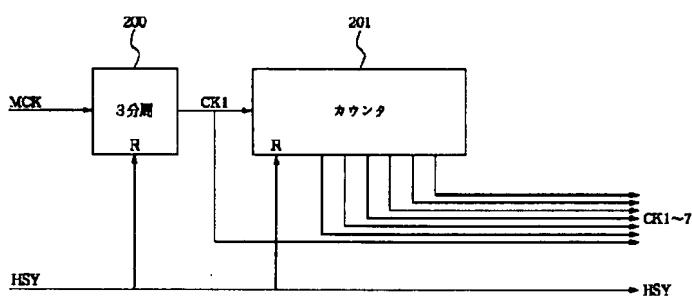
【図5】



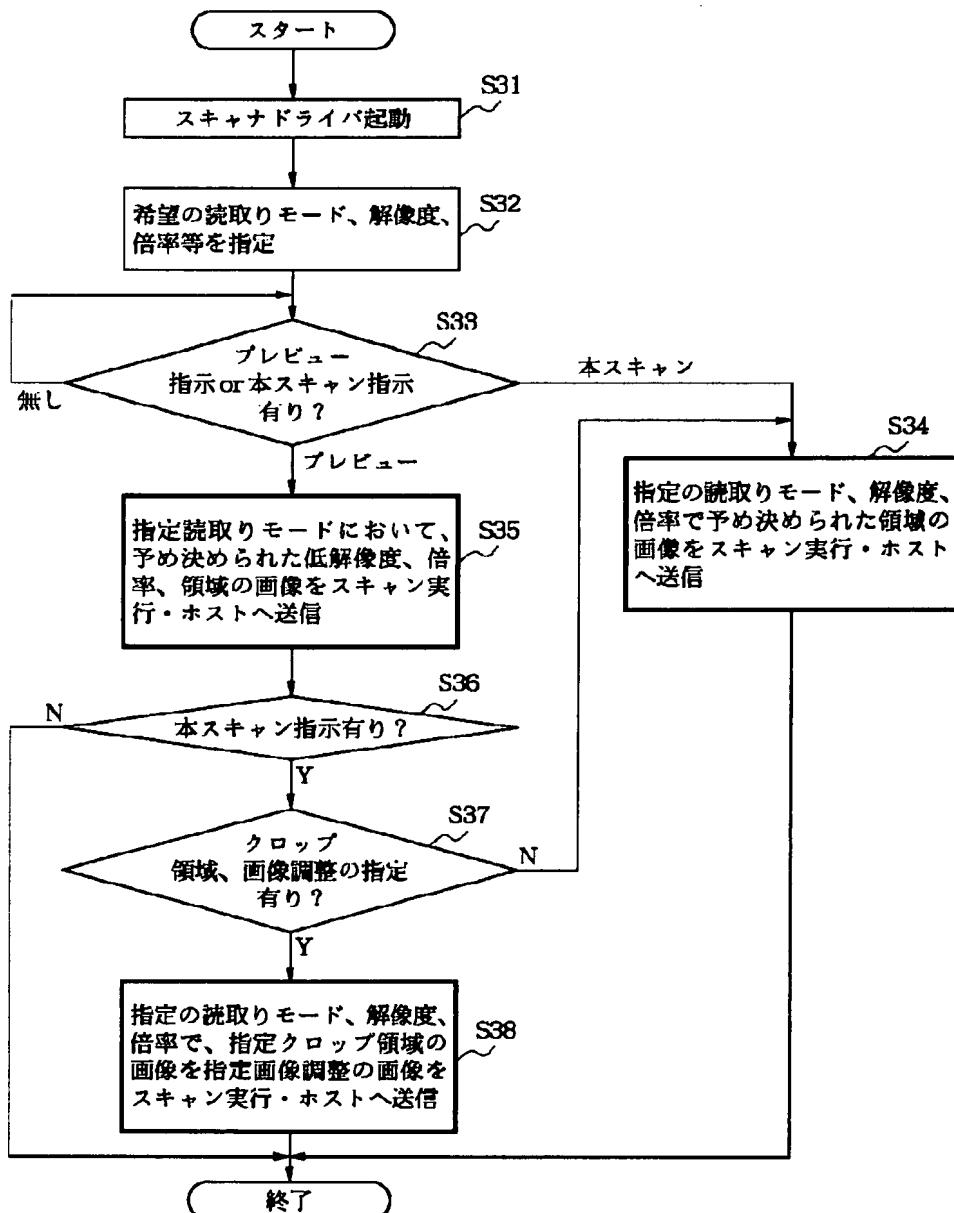
【図6】



【図7】



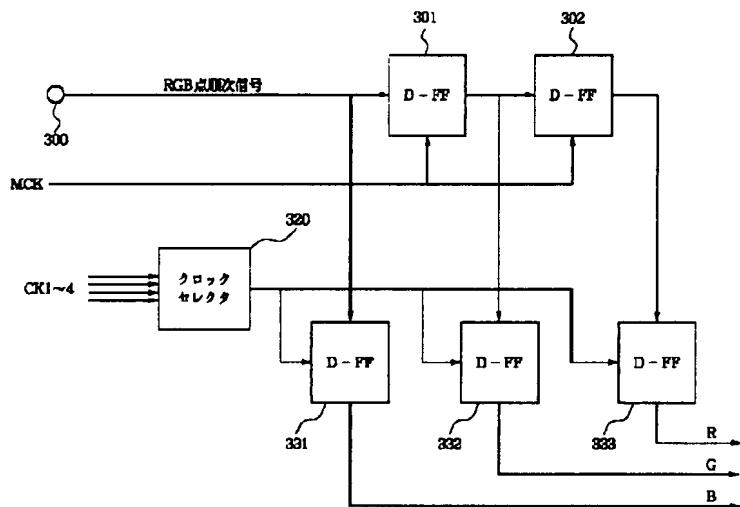
【図3】



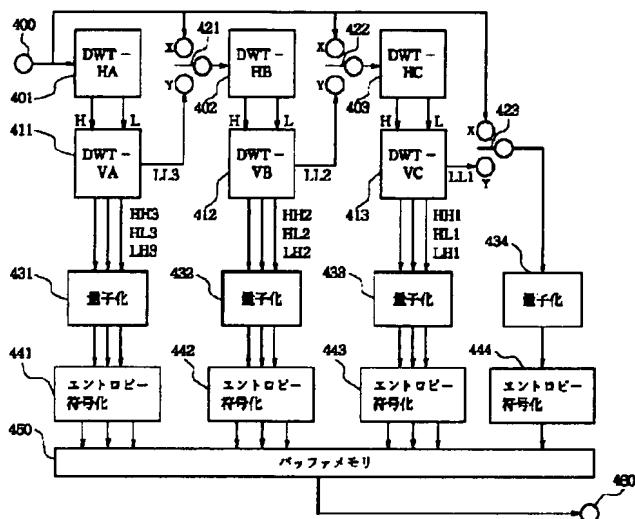
【図15】

	S31 S32 S33	421	422	423	401	402	403	411	412	413	434
A	CK1	Y	Y	Y	CK1 CK2	CK3 CK4	CK5 CK6	CK2 CK3	CK4 CK5	CK6 CK7	CK7
1B, 2B	CK2	X	Y	Y		CK2 CK3	CK4 CK5		CK3 CK4	CK5 CK6	CK6
1C, 2C	CK3	-	X	Y			CK3 CK4			CK4 CK5	CK5
D	CK4	-	-	X							CK4

【図8】



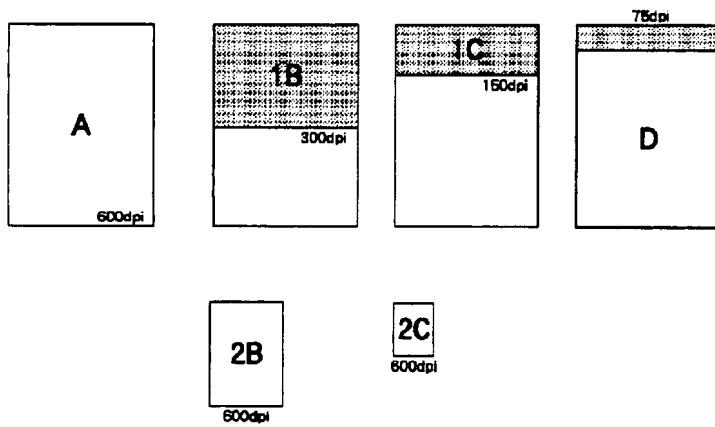
【図9】



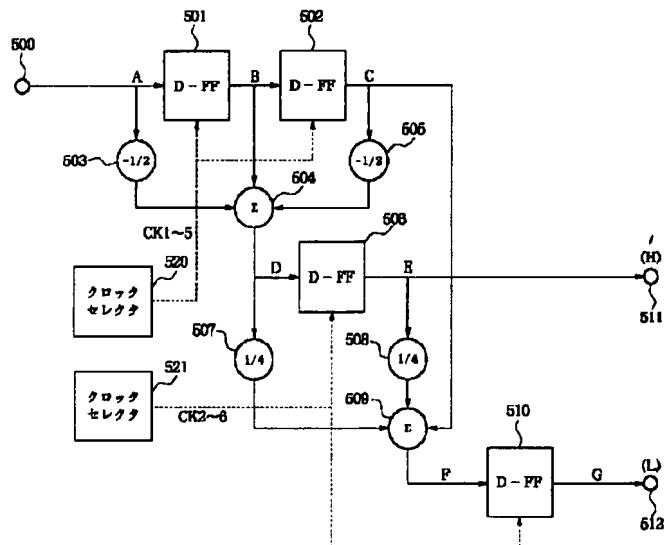
【図11】



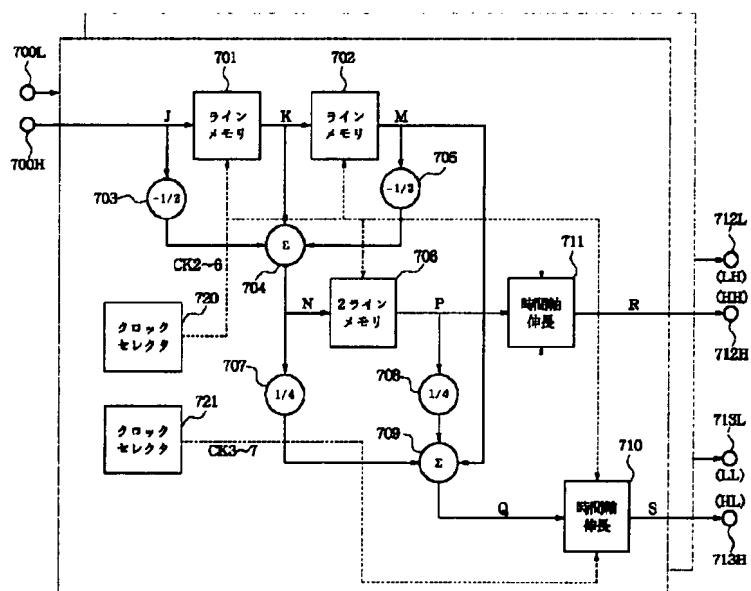
【図14】



【図10】



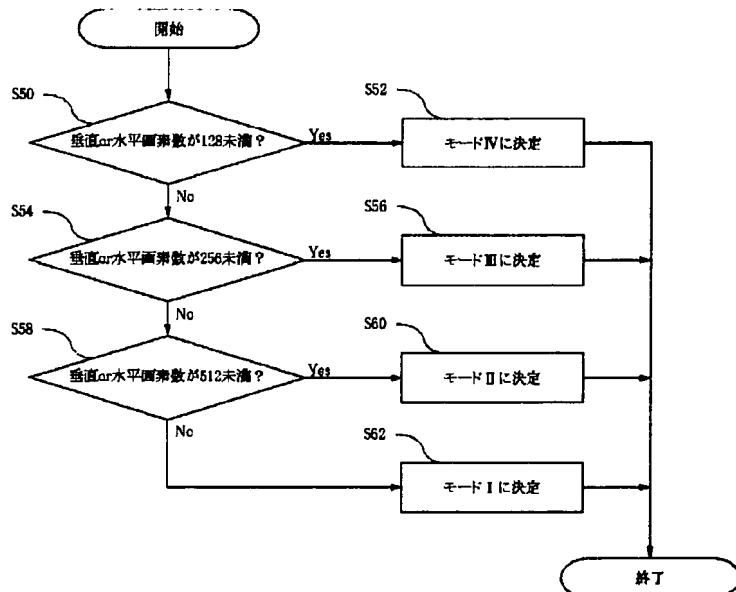
【図12】



【図13】

(J)	line1	line2	line3	line4	line5	line6	line7	line8	line9
(K)		line1	line2	line3	line4	line5	line6	line7	line8
(M)			line1	line2	line3	line4	line5	line6	line7
(N)				Hline2		Hline4		Hline6	Hline8
(P)					Hline2		Hline4		Hline6
(Q)					Lline3		Lline5		Lline7
(R)					Hline2		Hline4		Hline6
(S)				Lline3		Lline5		Lline6	Lline7

【図16】



フロントページの続き

(72)発明者 佐藤 雄一
 東京都大田区下丸子3丁目30番2号キヤノン株式会社内

F ターム(参考) 5C059 KK23 MA24 MA41 MC11 ME01
PP01 SS15 SS26 TA36 TA39
TC01 TD11 UA02 UA09 UA15
UA38
5C062 AA13 AB02 AB17 AB21 AB41
AB43 AC02 AC03 AC07 AC08
AC25 AC27 AE02
5C076 AA02 AA21 AA22 BA01 BA05
BB04 BB06 BB07 BB22 BB31
CA02 CB01
5C078 AA04 AA09 BA53 BA64 DA01